

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-296439

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G06F 12/16  
G11C 16/02

(21)Application number : 10-095977

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.04.1998

(72)Inventor : KANEKO YOSHIO  
OGATA MASAHIKA

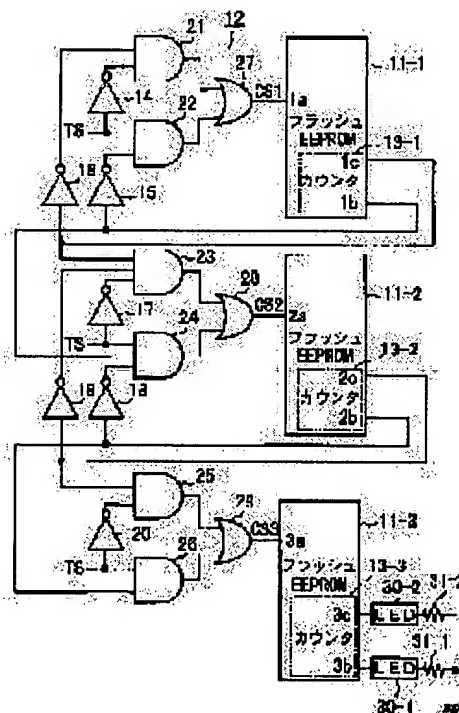
## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an embedded array or a standard cell which incorporates a flash EEPROM that can deal with a request of a client without changing a design method or manufacturing process even if the request is the one that exceeds the time of rewriting which a standard process can guarantee.

**SOLUTION:** Flash EEPROMs 11-1 to 11-3 of the number corresponding to the necessary number of rewriting times are proportionally mounted, all terminals except an input terminal of a chip enable signal are provided to counters 13-1 to 13-3 corresponding to these flash EEPROMs, and the number of erasure times is counted respectively. Then, when a counting value of the counter exceeds the number of rewriting guarantee

times, a control circuit 12 selects another flash EEPROM and successively makes it enable state. Since plural flash EEPROMs are switched and accessed, it is possible to guarantee the number of rewriting times corresponding to a demand of a client even when they are manufactured by a standard process.



## LEGAL STATUS

[Date of request for examination]

13.06.2001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-296439

(43) 公開日 平成11年(1999)10月29日

(51) IntCl<sup>°</sup>

識別記号

F I

G 0 6 F 12/16

3 1 0

G 0 6 F 12/16

3 1 0 Q

G 1 1 C 16/02

G 1 1 C 17/00

6 0 1 B

審査請求 未請求 請求項の数5 OL (全7頁)

(21) 出願番号

特願平10-95977

(22) 出願日

平成10年(1998)4月8日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金子 義男

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 大形 政久

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

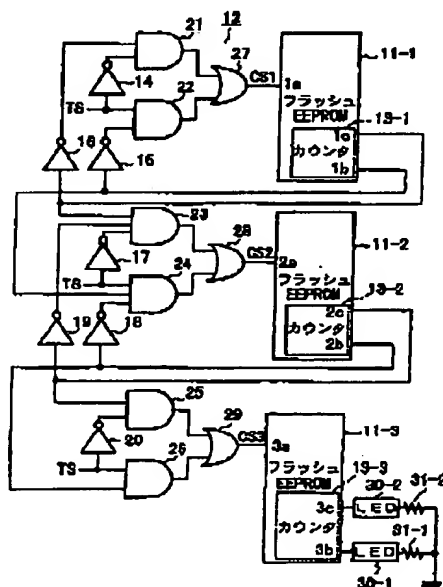
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 標準プロセスで保証できる書き換え回数を越えた要求であっても、設計手法や製造プロセスを変えることなく顧客の要求に対応できるフラッシュEEPROMを内蔵したエンベッテッドアレイあるいはスタンダードセルを提供する。

【解決手段】 書き換え必要回数に応じた個数のフラッシュEEPROM 11-1~11-3を比例搭載し、チップイネーブル信号の入力端子を除く全ての端子を並列接続する。これらフラッシュEEPROMに対応するカウンタ13-1~13-3を設け、それぞれの消去回数を計数する。そして、カウンタの計数値が書き換え保証回数を越えたときに、制御回路12で別のフラッシュEEPROMを選択して順次イネーブル状態にすることを特徴としている。複数のフラッシュEEPROMを切り換えてアクセスするので、標準プロセスで製造しても顧客の要求に応じた書き換え回数を保証できる。



## 【特許請求の範囲】

【請求項1】 予めライブラリに登録した機能ブロックを用いて回路構成を行う半導体装置において、チップイネーブル信号の入力端子を除く各端子がそれぞれ並列接続された複数のフラッシュEEPROMと、これらフラッシュEEPROMにそれぞれ対応して設けられ、各々のフラッシュEEPROMの消去回数を計数するカウンタと、

これらカウンタの計数値に応じて前記各フラッシュEEPROMのチップイネーブル信号の入力端子に制御信号を供給してイネーブル状態とディセーブル状態をそれぞれ制御する制御回路とを具備し、

前記複数のフラッシュEEPROMは、各々の書き換え保証回数の和が少なくとも必要とする書き換え回数に達する数だけ設けられ、前記各カウンタは、EEPROMセルで構成され、対応するフラッシュEEPROMの消去が行われる毎に記憶されている消去回数が書き換えられ、前記制御回路で選択したフラッシュEEPROMに対応する前記カウンタの計数値が書き換え保証回数を越えたときに、このフラッシュEEPROMをディセーブル状態とし、別のフラッシュEEPROMを選択してイネーブル状態にするとともに、対応するカウンタで計数動作を開始し、各フラッシュEEPROMを順次イネーブル状態にすることを特徴とする半導体装置、

【請求項2】 最後にイネーブル状態にされたフラッシュEEPROMに対応するカウンタの計数値が書き換え保証回数を越えたときに、外部に報知する報知手段を更に具備することを特徴とする請求項1に記載の半導体装置、

【請求項3】 前記各カウンタの計数値が書き換え保証回数を越えたときに、外部に報知する報知手段を更に具備することを特徴とする請求項1に記載の半導体装置、

【請求項4】 前記制御回路は、前記カウンタの計数値が予め設定されたテストのための消去回数に達したときに、対応するフラッシュEEPROMをディセーブル状態とし、別のフラッシュEEPROMを選択してイネーブル状態にするとともに、対応するカウンタで計数動作を開始し、各々のフラッシュEEPROMを順次イネーブル状態にすることを特徴とする請求項1ないし3いずれか1つの項に記載の半導体装置、

【請求項5】 前記各カウンタは、書き換え保証回数よりも少ない数を計数する複数のカウンタ部を備え、これら複数のカウンタ部による計数値の合計で対応するフラッシュEEPROMの書き換え保証回数を計数することを特徴とする請求項1ないし4いずれか1つの項に記載の半導体装置、

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、フラッシュEEPROMが内蔵されたエンベッテッドアレイやスタンダ

ドセル等の半導体装置に関する。

## 【0002】

【従来の技術】フラッシュEEPROMは、製造プロセスによって書き換え可能な回数が制限され、ある程度決まった回数の書き換えで寿命となる。しかし、フラッシュEEPROMを用いた最終製品の用途は様々であり、書き換え回数に対する顧客の要求も多様化している。エンベッテッドアレイやスタンダードセルにおいては、製品の製造プロセスを同一にすることが前提であるため、標準プロセスで保証できる書き換え回数を越えた要求に対応するためには、設計手法や製造プロセスを変えた別な製品シリーズ開発等の大規模な対応策が必要となる。このため、短期間且つ低コストで多量の半導体装置を形成できるというエンベッテッドアレイやスタンダードセルの長所を十分に生かすことができず、納期が長くなったり価格が高くなるという問題がある。

## 【0003】

【発明が解決しようとする課題】上記のようにフラッシュEEPROMが内蔵されたエンベッテッドアレイやスタンダードセル等の従来の半導体装置は、標準プロセスで保証できる書き換え回数を越えた要求に対応するためには設計手法や製造プロセスを変更しなければならず、納期が長くなったり価格が高くなるという問題があった。

【0004】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、フラッシュEEPROMを内蔵したエンベッテッドアレイやスタンダードセル等の半導体装置において、標準プロセスで保証できる書き換え回数を越えた要求であっても設計手法や製造プロセスを変えずに、顧客の要求に応じた書き換え回数を保証できる半導体装置を提供することにある。

## 【0005】

【課題を解決するための手段】この発明の請求項1に記載した半導体装置は、予めライブラリに登録した機能ブロックを用いて回路構成を行う半導体装置において、チップイネーブル信号の入力端子を除く各端子がそれぞれ並列接続された複数のフラッシュEEPROMと、これらフラッシュEEPROMにそれぞれ対応して設けられ、各々のフラッシュEEPROMの消去回数を計数するカウンタと、これらカウンタの計数値に応じて前記各フラッシュEEPROMのチップイネーブル信号の入力端子に制御信号を供給してイネーブル状態とディセーブル状態をそれぞれ制御する制御回路とを具備し、前記複数のフラッシュEEPROMは、各々の書き換え保証回数の和が少なくとも必要とする書き換え回数に達する数だけ設けられ、前記各カウンタは、EEPROMセルで構成され、対応するフラッシュEEPROMの消去が行われる毎に記憶されている消去回数が書き換えられ、前記制御回路で選択したフラッシュEEPROMに対応する前記カウンタの計数値が書き換え保証回数を越えたときに、このフラッシュEEPROMをディセーブル状態

とし、別のフラッシュEEPROMを選択してイネーブル状態にするとともに、対応するカウンタで計数動作を開始し、各フラッシュEEPROMを順次イネーブル状態にすることを特徴としている。

【0006】請求項2に記載したように、請求項1の半導体装置において、最後にイネーブル状態にされたフラッシュEEPROMに対応するカウンタの計数値が書き換え保証回数を越えたときに、外部に報知する報知手段を更に具備することを特徴とする。

【0007】請求項3に記載したように、請求項1の半導体装置において、前記各カウンタの計数値が書き換え保証回数を越えたときに、外部に報知する報知手段を更に具備することを特徴とする。

【0008】請求項4に記載したように、請求項1ないし3の半導体装置において、前記制御回路は、前記カウンタの計数値が予め設定されたテストのための消去回数に達したときに、対応するフラッシュEEPROMをディセーブル状態とし、別のフラッシュEEPROMを選択してイネーブル状態にするとともに、対応するカウンタで計数動作を開始し、各々のフラッシュEEPROMを順次イネーブル状態にすることを特徴とする。

【0009】請求項5に記載したように、請求項1ないし4の半導体装置において、前記各カウンタは、書き換え保証回数よりも少ない数を計数する複数のカウンタ部を備え、これら複数のカウンタ部による計数値の合計で対応するフラッシュEEPROMの書き換え保証回数を計数することを特徴とする。

【0010】請求項1のような構成によれば、フラッシュEEPROMをその書き換え保証回数使用した後は、別のフラッシュEEPROMに切り換えてアクセスし、このフラッシュEEPROMの書き換え保証回数まで使用し、複数のフラッシュEEPROMを順次アクセスして用いることができる。よって、書き換え保証回数は、フラッシュEEPROMの数によって容易に増減でき、標準プロセスでは保証できない大きな書き換え回数であっても設計手法や製造プロセスを変えることなく、顧客の要求に応じた書き換え回数を保証できる。

【0011】請求項2に示すような報知手段を設ければ、半導体装置が書き換え保証回数を越えたことを外部に知らせることができるので、交換などの必要な対策の目安となり、データを確実に保護できるので高い信頼性が得られる。

【0012】請求項3に示すような報知手段を設ければ、各々のフラッシュEEPROMが書き換え保証回数を越えたことを外部に知らせることができるので、半導体装置の寿命をよりきめ細かに管理して交換などの必要な対策の目安にでき、データを確実に保護できるので高い信頼性が得られる。

【0013】請求項4に示すように、複数のフラッシュEEPROMを順次アクセスしてテストを行えば、複数

のフラッシュEEPROMを内蔵していることを意識することなく1個の場合と同様にしてテストでき、初期不良などによる不良を防止できる。

【0014】請求項5に示すように、書き換え保証回数を複数のカウンタ部で計数するようにすれば、頻繁に書き換えが行われるカウンタの下位ビットに用いるフラッシュEEPROMセルの信頼性の低下を防止できる。

【0015】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の実施の形態に係る半導体装置について説明するためのもので、フラッシュEEPROMを内蔵したエンベッテドアレイ（またはスタンダードセル）とその周辺回路の要部を抽出して示している。この半導体装置は、予めライブラリに登録した各種の機能ブロックを組み合わせて回路構成を行うものである。ここでは、標準プロセスで保証できる書き換え回数が10万回のフラッシュEEPROMを用いて、30万回の書き換えを保証する場合の構成例を示している。

【0016】標準プロセスでの書き換え保証回数がそれぞれ10万回の3個のフラッシュEEPROM（または1つのフラッシュEEPROM中の3つのセルブロック）11-1～11-3におけるチップイネーブル信号の入力端子を除く全ての端子を並列接続し、制御回路12から各フラッシュEEPROM 11-1～11-3のチップイネーブル信号の入力端子へ制御信号CS1、CS2、CS3を供給して各フラッシュEEPROM 11-1～11-3のイネーブル状態とディセーブル状態を制御する。すなわち、制御回路12は、まず初段のフラッシュEEPROM 11-1をイネーブル状態、2段目と3段目のフラッシュEEPROM 11-2、11-3をディセーブル状態にし、初段のフラッシュEEPROM 11-1の書き換え回数が10万回を越えたとこのEEPROM 11-1をディセーブル状態、2段目のフラッシュEEPROM 11-2をイネーブル状態にしてアクセスする。そして、2段目のフラッシュEEPROM 11-2の書き換え回数が10万回を越えたとこのEEPROM 11-2をディセーブル状態、3段目のフラッシュEEPROM 11-3をイネーブル状態にしてアクセスするための制御を行う。

【0017】上記各フラッシュEEPROM 11-1～11-3中には、EEPROMセルを用いたカウンタ13-1～13-3が設けられており、これらのカウンタ13-1～13-3は対応するフラッシュEEPROM 11-1～11-3（または各フラッシュEEPROM中のセルブロック）に対して消去が行われる度に計数値が書き換えられて順次カウントアップされる。上記制御回路12は、インバート14～20、アンドゲート21～26、及びオアゲート27～29を含んで構成されている。テストモード信号TSは、インバート14の

入力端子及びアンドゲート22の一方の入力端子に供給される。上記インバータ14の出力端子はアンドゲート21の一方の入力端子に接続され、このアンドゲート21の出力端子はオアゲート27の一方の入力端子に接続される。このオアゲート27の他方の入力端子には上記アンドゲート22の出力端子が接続され、出力端子にはフラッシュEEPROM 11-1のチップイネーブル信号の入力端子1aが接続される。上記カウンタ13-1の第1の計数値(1000回)に対応する端子1bにはインバータ15の入力端子及びアンドゲート24の第1の入力端子が接続され、第2の計数値(10万回)に対応する端子1cにはインバータ16の入力端子及びアンドゲート23の第1の入力端子が接続される。上記インバータ15、16の出力端子はそれぞれ、アンドゲート22、21の他方の入力端子に接続される。

【0018】また、上記テストモード信号TSは、インバータ17の入力端子及びアンドゲート24の第2の入力端子に供給されるとともに、インバータ20の入力端子及びアンドゲート26の一方の入力端子に供給される。上記インバータ17の出力端子にはアンドゲート23の第2の入力端子が接続され、このアンドゲート23の出力端子にはオアゲート28の入力端子が接続される。上記オアゲート28の他方の入力端子には上記アンドゲート24の出力端子が接続され、出力端子にはフラッシュEEPROM 11-2のチップイネーブル信号の入力端子2aが接続される。上記カウンタ13-2の第1の計数値(1000回)に対応する端子2bにはインバータ18の入力端子及びアンドゲート26の他方の入力端子が接続され、第2の計数値(10万回)に対応する端子2cにはインバータ19の入力端子及びアンドゲート25の他方の入力端子が接続される。上記インバータ18、19の出力端子はそれぞれ、アンドゲート24、23の第3の入力端子に接続される。

【0019】上記アンドゲート25、26の出力端子にはそれぞれオアゲート29の入力端子が接続され、このオアゲート29の出力端子にはフラッシュEEPROM 11-3のチップイネーブル信号の入力端子3aが接続される。上記カウンタ13-3の第1の計数値(1000回)に対応する端子3bにはテストが終了したことを外部に報知するためのLED 30-1が接続され、第2の計数値(10万回)に対応する端子3cには書き換え保証回数を越えたことを外部に報知するためのLED 30-2が接続される。そして、上記LED 30-1、30-2と接地点間にはそれぞれ、これらのLEDを保護するための抵抗31-1、31-2が接続されている。

【0020】次に上記のような構成において動作を説明する。まず、出荷テストの時には、テストモード信号TSを“1”レベルにする。フラッシュEEPROM 11-1~11-3はいずれも書き込みや消去が行われてい

ない状態であるので、各カウンタ13-1~13-3の計数値は全て“0”にセットされており、インバータ15、16、18、19の出力信号はそれぞれ“1”レベルとなる。これによって、アンドゲート21の出力は“0”レベル、アンドゲート22の出力は“1”レベルとなり、オアゲート27から出力される制御信号CS1が“1”レベルとなってフラッシュEEPROM 11-1はイネーブル状態となる。また、テストモード信号TSの“1”レベルによってインバータ17の出力が“0”レベルとなり、カウンタ13-1の出力が“0”レベルであるので、アンドゲート23、24の出力はともに“0”レベルとなる。この結果、オアゲート28から出力される制御信号CS2が“0”レベルとなって、フラッシュEEPROM 11-2はディセーブル状態となる。一方、テストモード信号TSの“1”レベルによってインバータ20の出力が“0”レベルとなり、アンドゲート25の出力は“0”レベルとなる。カウンタ13-2の出力は“0”レベルであるので、アンドゲート26の出力は“0”レベルとなり、オアゲート29から出力される制御信号CS3が“0”レベルとなって、フラッシュEEPROM 11-3もディセーブル状態となる。

【0021】そして、上記フラッシュEEPROM 11-1あるいはセルブロックに対して消去が行われる毎に上記カウンタ13-1の計数値が1インクリメントされ、1000回に対応する端子1bが“1”レベルとなると、インバータ15の出力は“0”レベルとなるので、アンドゲート22及びオアゲート27の出力がともに“0”レベルとなって、フラッシュEEPROM 11-1はディセーブル状態となる。一方、上記カウンタ13-1の“1”レベル出力によって、アンドゲート24の第1ないし第3の入力端子が全て“1”レベルとなるので、このアンドゲート24の出力及びオアゲート28から出力される制御信号CS2がそれぞれ“1”レベルとなって、フラッシュEEPROM 11-2がイネーブル状態となる。

【0022】フラッシュEEPROM 11-2に対して1000回の消去が行われると、アンドゲート24の出力信号及びオアゲート28から出力される制御信号CS2がともに“0”レベルとなり、フラッシュEEPROM 11-2がディセーブル状態となる。一方、アンドゲート26の出力信号及びオアゲート29から出力される制御信号CS3が“1”レベルとなり、3段目のフラッシュEEPROM 11-3がイネーブル状態となる。テストのための消去動作が繰り返されて1000回になるとカウンタ13-3の出力によってLED 30-1が点灯される。これによって、各フラッシュEEPROM 11-1~11-3に対して1000回ずつの消去動作が正常に行われたことが確認される。上記各テスト信号TSの入力端子は接地した状態で出荷される。

【0023】ユーザが半導体装置の使用を開始すると、消去動作が10万回に達するまではカウンタ13-1の10万回に対応する端子1Cが“0”レベルであるので、インバータ16の出力は“1”レベル、インバータ14の出力も“1”レベルであり、アンドゲート21の出力信号及びオアゲート27から出力される制御信号CS1が“1”レベルとなってフラッシュEEPROM 11-1がイネーブル状態となり、消去動作が行われる度にカウンタ13-1の計数値が1インクリメントされる。この時、アンドゲート23、24の出力信号及びオアゲート28から出力される制御信号CS2はそれぞれ“0”レベルであり、フラッシュEEPROM 11-2はディセーブル状態となる。同様に、アンドゲート25、26の出力信号及びオアゲート29から出力される制御信号CS3はそれぞれ“0”レベルであり、フラッシュEEPROM 11-3もディセーブル状態である。

【0024】消去動作が繰り返され、カウンタ13-1の計数値が10万回を超えると、カウンタ13-1の対応する端子1cが“1”レベルとなり、インバータ16の出力が“0”レベルとなるので、アンドゲート21の出力が“0”レベルとなる。この時、アンドゲート22の出力も“0”レベルであるので、オアゲート27から出力される制御信号CS3が“0”レベルとなって、フラッシュEEPROM 11-1はディセーブル状態となる。一方、アンドゲート23の出力は“1”レベルとなるので、オアゲート28から出力される制御信号CS3が“1”レベルとなり、フラッシュEEPROM 11-2はイネーブル状態となる。これによって、以降のアクセスはフラッシュEEPROM 11-2に対して行われる。この時、アンドゲート25、26はともに“0”レベルを出力し続け、オアゲート29から出力される制御信号CS3は“0”レベルとなるので、フラッシュEEPROM 11-3はディセーブル状態を維持する。

【0025】フラッシュEEPROM 11-2に対するアクセスが繰り返され、消去動作を計数しているカウンタ13-2の計数値が10万回を超えると、カウンタ13-2の対応する端子2cが“1”レベルとなり、インバータ19の出力が“0”レベルとなるので、アンドゲート23の出力が“0”レベルとなる。この時、アンドゲート24の出力は“0”レベルを維持するので、オアゲート28から出力される制御信号CS2が“0”レベルとなって、フラッシュEEPROM 11-2はディセーブル状態となる。一方、アンドゲート25の出力は“1”レベルとなるので、オアゲート29から出力される制御信号CS3が“1”レベルとなり、フラッシュEEPROM 11-3がイネーブル状態となる。これによって、以降のアクセスはフラッシュEEPROM 11-3に対して行われる。

【0026】そして、カウンタ13-3による計数動作が10万回を終了するとカウンタ13-3の対応する端子3cに接続されたLED 30-2が点灯され、各フラッシュEEPROM 11-1~11-3に対して10万回ずつ（合計30万回）の消去動作が行われたことが外部に報知される。

【0027】引き続き、アクセスはフラッシュEEPROM 11-3に対して行われ、最終段のフラッシュEEPROM 11-3が感れるまで使用可能である。上記のような構成によれば、10万回書き換えする度に次々とフラッシュEEPROM 11-1~11-3（セルブロック）を渡り歩いて30万回以上の書き換えが可能になる。これによって、フラッシュEEPROM混載のエンベッテッドアレイ及びスタンダードセルにおいて、標準プロセスで保証できる書き換え回数を越えた要求であっても設計手法や製造プロセスを要することなく、顧客の用途に応じた書き換え回数の保証が可能になる。

【0028】しかも、書き換え保証回数の多い少ないという目に見えない仕様の差が、チップサイズの大小という形で価格に反映され、価格見直しも簡単になる。書き換え回数の記録がチップ内に残り、市場での不良発生時に、顧客とベンダー側での責任の所在の切り分けが明確になるという効果も得られる。

【0029】図2は、上記図1に示した回路におけるカウンタ13-1~13-3の計数動作について説明するためのフローチャートである。上記各カウンタ13-1~13-3は、フラッシュEEPROMセルで構成されており、フラッシュEEPROM 11-1~11-3中のセルアレイの一部の領域を使用しているが、セルアレイとは別の領域に設けても良い。ここでは、各カウンタ13-1~13-3の信頼性を高めるために、各々が5万回の計数動作を行う2個のカウント部で構成されている場合について示しており、第1のカウント部が5万回カウントすると第2のカウント部に計数動作を引き継ぎ、2つのカウント部で10万回の計数動作を行うようになっている。

【0030】まず、フラッシュEEPROMまたはこのフラッシュEEPROM中のセルブロックに対して消去が行われると、対応するカウンタにおける第1のカウント部の計数値を読み取って5万回に達したか確認し（ステップ1）、5万回に達していない場合には第1のカウント部への作業を開始する。5万回に達した場合には第2のカウント部への作業を開始する。

【0031】5万回に達していない場合には、対応するカウンタにおける第1のカウント部の計数値を読み取って一時記憶した後（ステップ2）、この第1のカウント部の計数値を消去する（ステップ3）。そして、第1のカウント部の計数値が充分消去されたか確認し（ステップ4）、消去が不十分の時にはステップ3に戻って消去動作を繰り返し、消去が完全に行われたときに上記一時

記憶していた計数値に+1した値を第1のカウント部に書き込む(ステップ5)。その後、この第1のカウント部の計数値を読み出して+1が行われたか否か確認し(ステップ6)、不十分なときにはステップ5に戻って再書き込みを行う。そして、十分に書き込みが行われたことが検知されると、ルーチンを終了する。

【0032】一方、ステップ1にて5万回に達した場合には、第2のカウント部による計数動作を開始する。そして、第2のカウント部に対して第1のカウント部と同様なステップ7~11を繰り返す。第2のカウント部の計数値を確認し(ステップ12)、第2のカウント部の計数値が5万回(カウンタの計数値が10万回)以下ではルーチンを終了し、5万回に達したときにはアクセスするフラッシュEEPROMの切り換え、あるいはLED 30-2を点灯させるために端子3cを“1”レベルにする(ステップ13)。すなわち、このステップ13では、初段のフラッシュEEPROM 11-1に対応するカウンタ13-1の場合は、初段のフラッシュEEPROM 11-1をディセーブル状態、2段目のフラッシュEEPROM 11-2をイネーブル状態に切り換える。2段目のフラッシュEEPROM 11-2に対応するカウンタ13-2の場合は、2段目のフラッシュEEPROM 11-2をディセーブル状態、3段目のフラッシュEEPROM 11-3をイネーブル状態に切り換える。更に、3段目のフラッシュEEPROM 11-3に対応するカウンタ13-3の場合は、LED 30-2を点灯させる。

【0033】このように、各カウンタ13-1~13-3をそれぞれ2つのカウント部で構成し、第1のカウント部で5万回の計数動作を行った後、第2のカウント部で新たに5万回の計数動作を行うようにすれば、頻繁に書き換えが行われるカウンタの下位ビットに用いるフラッシュEEPROMセルの信頼性を十分に確保できる。

【0034】なお、上記実施の形態では、10万回の書き換え可能回数のフラッシュEEPROMを用いて30万回の書き換え回数を保証する場合を例にとって説明し

たが、フラッシュEEPROMの数は、各々の書き換え保証回数の和が少なくとも必要とする書き換え回数に達する数だけ設ければ良いのは勿論である。

【0035】また、最終段のフラッシュEEPROM 11-3に対応するカウンタ13-3の計数値を外部に出力し、テストが正常に行われたことや書き換え保証回数を越えたことをLED 30-1, 30-2で外部に報知するようにしたが、他の報知手段を用いても良いのは勿論である。また、全てのカウンタ13-1~13-3の計数値を外部に出力するようにすれば、半導体装置の寿命をよりきめ細かに管理して交換などの必要な対策の目安にでき、データを確実に保護できるので高い信頼性が得られる。

【0036】

【発明の効果】以上説明したように、この発明によれば、フラッシュEEPROMを内蔵したエンベッデドアレイやスタンダードセル等の半導体装置において、標準プロセスで保証できる書き換え回数を越えた要求であっても設計手法や製造プロセスを覆えることなく、顧客の要求に応じた書き換え回数を保証できる半導体装置が得られる。

【図面の簡単な説明】

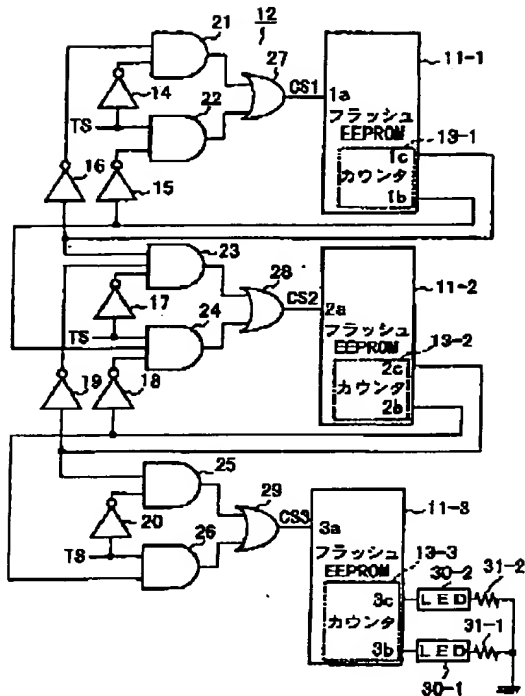
【図1】この発明の実施の形態に係る半導体装置について説明するためのもので、フラッシュEEPROMを内蔵したエンベッデドアレイ(またはスタンダードセル)とその周辺回路の要部を抽出して示す回路図。

【図2】図1に示した回路におけるカウンタの計数動作について説明するためのフローチャート。

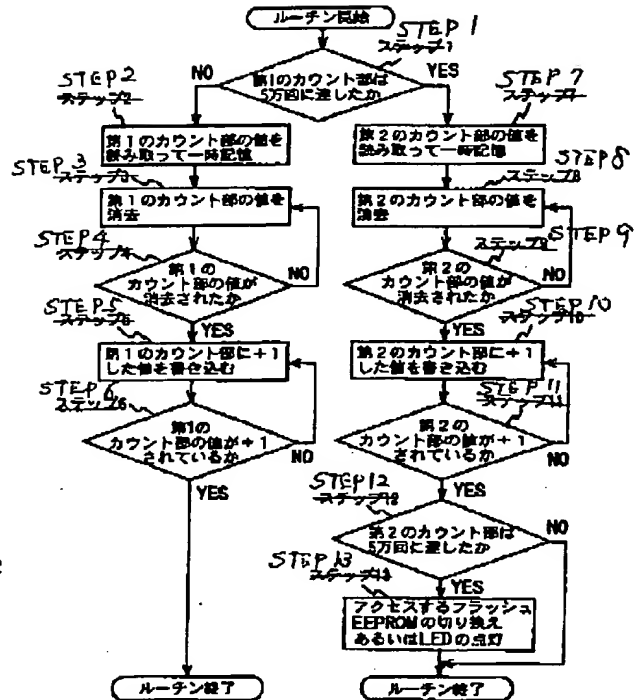
【符号の説明】

11-1~11-3…フラッシュEEPROM、12…制御回路、13-1~13-3…カウンタ、14~20…インバータ、21~26…アンドゲート、27~29…オアゲート、30-1, 30-2…LED、31-1, 31-2…LED保護抵抗、TS…テスト信号、CS1~CS3…制御信号。

【図1】



【図2】



BEST AVAILABLE COPY



(19) [Country of Issue] Japan Patent Office (J P)  
 (12) [Document Type] Official Gazette of Patent Laid-Open (A)  
 (11) [Laid-Open Number] H11-296439  
 (43) [Date of the Laying-Open] October 29, 1999  
 (54) [Title of the Invention] Semiconductor Device  
 (51) [International Patent Classification Ver. 6]  
     G06F 12/16 310 G06F 12/16 310Q  
     G11C 16/02 G11C 17/00 601B  
 [Examination] Not Requested  
 [Number of Claims] 5  
 [Way of the Filing] Online  
 [Number of Sheets] 7  
 (21) [Application Number] Japanese Patent Application No.  
 H10-95977  
 (22) [Date of the Application] April 8, 1998  
 (71) [Applicant]  
     [Identification Number] 0 0 0 0 0 3 0 7 8  
     [Applicant Name] Kabushiki Kaisha Toshiba  
     [Address of the Applicant] 72 Horikawa-cho, Saiwai-ku,  
 Kawasaki-shi, Kanagawa  
 (72) [Inventor]  
     [Inventor Name] Yoshio Kaneko  
     [Address of the Inventor]  
 Semiconductor System Technology Center  
 Kabushiki Kaisha Toshiba.  
 580-1 Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa  
 (72) [Inventor]  
     [Inventor] Masahisa Ohgata  
     [Address of the Inventor]  
 Semiconductor System Technology Center  
 Kabushiki Kaisha Toshiba.  
 580-1 Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa  
 (74) [Agent]  
     [Japanese Patent Attorney]  
     [Name of the Attorney] Takehiko Suzue and Six Other Attorneys

[Scope of Claims for Patent]

[Claim 1]

A semiconductor device capable of constructing circuit structure of combined functional blocks each having its functions registered in a library in advance, the semiconductor device comprising a plurality of flash EEPROMs which have their respective input terminals but chip enable signal input terminals connected in parallel, counters respectively counting the number of erasure respective flash EEPROMs, and a control circuit supplying control signals to the chip enable signal input terminals of the flash EEPROMs to enable and disable them under control; the number of the flash EEPROMs being that which is sufficient for so many of the flash EEPROMs together to guarantee the desired rewriting attained by fulfilling individual rewriting quotas so that the total of the individually guaranteed numbers of times of rewriting amounts to the desired guaranteed number of rewriting times; the counters being respectively comprised of EEPROM cells which serve to increment and overwrite the number stored therein each time the corresponding flash EEPROMs have their stored contents erased; and as the individually guaranteed number of rewriting times of rewriting is exceeded by the count number at the counter dedicated to the currently accessible flash EEPROM which has been enabled by the control circuit, the currently accessible flash EEPROM being disabled, and instead, another flash EEPROM being selectively enabled to cause the dedicated counter to start counting, so that the currently accessible EEPROM can be continually switched to another by selectively enabling it.

[Claim 2]

A semiconductor device according to Claim 1 further comprising an alarm means which gives an externally perceivable notice when the count number at the counter dedicated to the flash EEPROM most recently enabled exceeds the number of rewriting times of rewriting.

[Claim 3]

A semiconductor device according to Claim 1 further

comprising an alarm means which gives an externally perceivable notice when the count number at any of the counters exceeds the individually guaranteed number of rewriting times of rewriting.

[Claim 4]

A semiconductor device according to any of Claims 1 to 3, wherein when the count number at any of the counters reaches a predetermined number of erasure for testing, the control circuit disables the flash EEPROM in relation with the counter, and selectively enables another flash EEPROM to cause the dedicated counter to start counting, so that the currently accessible EEPROM can be continually switched to another by selectively enabling it.

[Claim 5]

A semiconductor device according to any of Claims 1 to 4, wherein said each of the counters includes a plurality of counting units each serving to count to the number less than the individually guaranteed number of rewriting times of rewriting, and the plurality of counting units counting the guaranteed number of rewriting of the flash EEPROM by totaling the individual counting quotas of the counting units.

(54) [Title of the Invention] Semiconductor Device

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a semiconductor device such as a flash EEPROM built-in embedded array or standard cells, or the like.

[0002]

[Prior Art]

A flash EEPROM can be rewritable only by a restricted number of rewriting times depending upon its manufacturing process and ends its life after being rewritten the roughly predetermined number of rewriting times. Final products such a flash EEPROM is built in are of a variety of uses, and accordingly, various consumers have their own demands on how many times the EEPROM

could be rewritten. For an embedded array or standard cells of which requirement is being able to be fabricated in a single standardized manufacturing process, a large scale technical strategy covering development of the modified product series through modified design method and manufacturing process is needed in order to reach the level as commercially desired or even higher in terms of the rewriting of the built-in EEPROM guaranteed by the standardized manufacturing process. This strategy might encounter problems of a procrastinated delivery time from the factory and an increased price without exhibiting benefits of them that they inherently enable manufacturing a variety of kinds of semiconductor devices in a shorter term at a reduced cost

[0003]

[Disadvantages That Are to Be Overcome]

As described above, the prior art semiconductor device such as the flash EEPROM built-in embedded array or standard cells must be fabricated by a modified design method and/or a modified manufacturing process to meet or even exceed the requirement of the rewriting of the EEPROM guaranteed by the standardized manufacturing process, and this disadvantageously results in a procrastinated delivery time from the factory and an increased price.

[0004]

The present invention is made in view of the aforementioned circumstances, and accordingly, it is an object of the present invention to provide a semiconductor device such as a flash EEPROM built-in embedded array or standard cells, or the like that is able to ensure its rewriting, or the number of rewriting times by which the built-in EEPROM can be rewritten, as many as desired by consumers or even higher than that which is guaranteed by the standardized process, without modifying the design method and/or the manufacturing process.

[0005]

[Solutions to Attain the Object]

A semiconductor device as defined in Claim 1 has a

multistage circuit structure of combined functional blocks each of which are registered in a library in advance. Such a semiconductor device is comprised of a plurality of flash EEPROMs which have their respective input terminals but chip enable signal input terminals connected in parallel, counters dedicated to the flash EEPROMs, respectively, to count the number of rewriting times by which the flash EEPROMs have their respective stored contents erased, and a control circuit producing control signals to the chip enable signal input terminals of the flash EEPROMs to enable and disable them under control. The number of the flash EEPROMs may be modified to any that which is sufficient for so many of the flash EEPROMs together to guarantee the desired rewriting attained by fulfilling individual rewriting quotas so that the total of the individually guaranteed numbers of times of rewriting amounts to the desired guaranteed number of rewriting times. The counters are respectively comprised of EEPROM cells which serve to increment and overwrite the number stored therein each time the corresponding flash EEPROMs have their stored contents erased. As the individually guaranteed number of rewriting times of rewriting is exceeded by the count number at the counter dedicated to the accessible flash EEPROM which has been enabled by the control circuit, the currently accessible flash EEPROM is disabled, and instead, another flash EEPROM is selectively enabled to cause the dedicated counter to start counting. The currently accessible EEPROM can be continually switched to another by selectively enabling it.

[0006]

As defined in Claim 2, the semiconductor device according to Claim 1 further comprises an alarm means which gives an externally perceivable notice when the individually guaranteed number of rewriting times of rewriting is exceeded by the count number at the counter dedicated to the accessible flash EEPROM most recently enabled and adapted to serve the last in the multistage circuit structure.

[0007]

As defined in Claim 3, the semiconductor device according to Claim 1 further comprises an alarm means which gives an externally perceivable notice when the individually guaranteed number of rewriting times of rewriting is exceeded by the count number at any of the counters.

[0008]

As defined in Claim 4, the semiconductor device according to any of Claims 1 to 3 is characterized in that when a predetermined reference rewriting for the purpose of a test is exceeded by the count number at any of the counters, the control circuit disables the flash EEPROM in relation with the counter, and selectively enables another flash EEPROM to cause the dedicated counter to start counting. The currently accessible EEPROM can be continually switched to another by selectively enabling it.

[0009]

As defined in Claim 5, the semiconductor device according to any of Claims 1 to 4 is characterized in that each of the counters is divided in counting units each serving to count to the number of some quota less than the individually guaranteed number of rewriting times of rewriting, and so many a number of counting units together ensure the guaranteed rewriting of the flash EEPROM by fulfilling individual counting quotas so that the total of them amounts to the desired guaranteed number of rewriting times.

[0010]

Configured as defined in Claim 1, the currently accessible flash EEPROM is, after it is rewritten by its guaranteed number of rewriting times, switched to another flash EEPROM, and the newly enabled flash EEPROM is accessible by its guaranteed number of rewriting times, which permits sequential accesses to the flash EEPROMs built in the semiconductor device. The eventual number of rewriting times of the semiconductor device can be easily raised or reduced by changing the number of the flash EEPROMs built therein, and thus, the semiconductor device is able to ensure its rewriting as many as desired by consumers

or even much higher than that which is guaranteed by the standardized process, without modifying the design method and/or the manufacturing process.

[0011]

With the alarm means as defined in Claim 2, the semiconductor device can give an externally perceptible notice that it has already be rewritten over the guaranteed number of rewriting times, and therefore, replacement of the semiconductor device can be predicted in time to be helpful to support the required maintenance in future. This is useful to assuredly keep data on the current condition of the device, and thus, the enhanced reliability is attained.

[0012]

With the alarm means as defined in Claim 3, the semiconductor device can give an externally perceptible notice that each of the flash EEPROMs has already been rewritten over the ensured number of rewriting times, and therefore the life time of the semiconductor device can be more precisely predicted to be helpful to support the required maintenance in future such as a device replacement. This is useful to assuredly keep data on the current condition of the device, and thus, the enhanced reliability is attained.

[0013]

As defined in Claim 4, since the plurality of flash EEPROMs is sequentially accessed to carry out test of the semiconductor device, the test is carried out as simply as if the semiconductor device having only one flash EEPROM built in, and troubles such as initial malfunction can be prevented.

[0014]

As defined in Claim 5, since the guaranteed number of rewriting times is counted by a plurality of counting units, this advantageously prevents a deterioration of the reliability of more frequently rewritten flash EEPROM cells which are used for the lower bits of the counter.

[0015]

[Embodiments of the Invention]

Embodiments of the present invention will now be described. Fig. 1 illustrates an exemplary semiconductor device according to the present invention, showing major portions extracted from a flash EEPROM built-in embedded array (or similar standard cells) and its peripheral circuit. The semiconductor device has a circuit structure of combined functional blocks each of which has its own functions registered in a library in advance. In this embodiment, flash EEPROMs manufactured through the standardized process and giving a guarantee of 100,000 times rewriting are incorporated in combination to ensure 300,000 times rewritings.

[0016]

Three of the flash EEPROMs 11-1 to 11-3 (or three of similarly featured cell blocks in the single flash EEPROM), which can be fabricated through the standardized manufacturing process and respectively guarantee the number of rewriting of 100,000 times, have all of their respective input terminals but chip enable signal input terminals connected in parallel and receive at their respective chip enable signal input terminals control signal CS1, CS2 and CS3 from a control circuit 12 to switch themselves between enabled and disabled states under control. Specifically, the control circuit 12 first enables the first-stage flash EEPROM 11-1 while turning the second- and third-stage flash EEPROMs 11-2 and 11-3 to disabled, and eventually after the first-stage flash EEPROM 11-1 is rewritten more than 100,000 times, it disables the first-stage EEPROM 11-1 and instead enables the second-stage EEPROM 11-2 to make it accessible. Similarly, after the second-stage flash EEPROM 11-2 is rewritten more than 100,000 times, the control circuit 12 functions to disable the second-stage flash EEPROM 11-2 while enabling the third-stage flash EEPROM 11-3 to make it accessible.

[0017]

The flash EEPROMs 11-1 to 11-3 have their respective EEPROM cell incorporated counters 13-1 to 13-3, which serve respectively to sequentially take a count each time the



corresponding flash EEPROMs 11-1 to 11-3 (or the corresponding cell blocks in the single flash EEPROM) have their stored contents erased. The control circuit 12 is comprised of inverters 14 to 20, AND gates 21 to 26, and OR gates 27 to 29. A test mode signal TS is received at an input terminal of the inverter 14 and one of input terminals of the AND gate 22. The inverter 14 has its output terminal connected to one of input terminals of the AND gate 21 while the AND gate 21 has its output terminal connected to one of input terminals of the OR gate 27. The OR gate 27 has the other input terminal connected to an output terminal of the AND gate 22 and its output terminal connected to an input terminal 1a of the flash EEPROM 11-1 to transfer a chip enable signal. A terminal 1b in relation with a first count reference value (1000 for 1,000 times) at the counter 13-1 is connected to an input terminal of the inverter 15 and a first input terminal of the AND gate 24, respectively, and a terminal 1c in relation with a second count reference value (100000 for 100,000 times) at the same counter is connected to an input terminal of the inverter 16 and a first input terminal of the AND gate 23, respectively. The inverters 15 and 16 have their respective output terminals connected to the other input terminals of the AND gates 22 and 21, respectively.

[0018]

Also, the test mode signal TS is transferred to an input terminal of the inverter 17 and a second input terminal of the AND gate 24 and also to an input terminal of the AND gate 20 and one of input terminals of the AND gate 26. The inverter 17 has its output terminal connected to a second input terminal of the AND gate 23, and the AND gate 23 has its output terminal connected to one of input terminals of the OR gate 28. The OR gate 28 has the other input terminal connected to an output terminal of the AND gate 24 and its output terminal connected to an input terminal 2a of the flash EEPROM 11-2 to transfer the chip enable signal. A terminal 2b in relation with the first count reference value (1000) at the counter 13-2 is connected to an input terminal of the inverter 18 and the other input

terminal of the AND gate 26 while a terminal 2c in relation with the second count reference value (100000) is connected to an input terminal of the inverter 19 and the other input terminal of the AND gate 25. The inverters 18 and 19 have their respective output terminals connected to third input terminals of the AND gates 24 and 23, respectively.

[0 0 1 9]

The AND gates 25 and 26 have their respective output terminals connected to input terminals of the OR gates 29, respectively, and the OR gate 29 has its output terminal connected to an input terminal 3a of the flash EEPROM 11-3 to transfer the chip enable signal. A terminal 3b in relation with the first count reference value (1000) at the counter 13-3 is connected to a light emitting diode (LED) 30-1 alarming to give an externally visible notice that the test is completed, and a terminal 3c in relation with the second count reference value (100000) is connected to an LED 30-2 alarming to give another externally visible notice that a newly counted value has exceeded the guaranteed number of rewriting times of the rewriting. Resistances 31-1 and 31-2 are interposed between the LEDs 30-1 and 30-2 and the ground, respectively, to protect the LEDs.

[0 0 2 0]

An exemplary operation in the circuit configuration as mentioned above will be detailed below. For a delivery test right before the dispatch from the factory, first the test mode signal TS is raised to a level '1'. Since any of the flash EEPROMs 11-1 to 11-3 has not been subjected to the writing nor the erasing, all the counters 13-1 to 13-3 have their respective count values set to '0' while the inverters 15, 16, 18 and 19 respectively produce output signals of the level '1'. This permits the AND gate 21 to produce an output signal of the level '0' and the AND gate 22 to produce an output signal of the level '1', so that the OR gate 27 generates the control signal CS1 of the level '1' to enable the flash EEPROM 11-1. Turning the test mode signal TS to the raised level '1', the inverter 17

also produces an output signal of the level '0' while the counter 13-1 also produces an output signal of the level '0', and this causes both the AND gates 23 and 24 to generate an output signal of the level '0'. As a consequence, the OR gate 28 generates the control signal CS2 of the level '0' to disable the flash EEPROM 11-2. Meanwhile, the test mode signal TS turning to the level '1' permits the inverter 20 to produce an output signal of the level '0', and this also causes the AND gate 25 to produce an output signal of the level '0'. Since the counter 13-2 produces a signal of the level '0', an output from the AND gate 26 is turned to the level '0', which results in the OR gate 29 producing the control signal CS3 of the level '0' to also disable the flash EEPROM 11-3.

[0 0 2 1]

After that, each time the flash EEPROM 11-1 or the cell block has its contents erased, the value at the counter 13-1 is incremented by one to turn the terminal 1b in relation with the count reference number 1000 to the level '1', which causes the inverter 15 to produce an output signal of the level '0', which, in turn, causes both the AND gate 22 and the OR gate 27 to generate an output signal of the level '0' to eventually disable the flash EEPROM 11-1. Meanwhile, since the output of the level '1' from the counter 13-1 turns all the first to third input terminals of the AND gate 24 to the level '1', the AND gate 24 produces the level '1' signal while the OR gate 28 produces the control signal CS2 of the level '1', and this enables the flash EEPROM 11-2.

[0 0 2 2]

When the flash EEPROM 11-2 undergoes the 1000th erasing, both the output signal from the AND gate 24 and the control signal CS2 from the OR gate 28 are turned to the level '0', and this disables the flash EEPROM 11-2. Meanwhile, the output signal from the AND gate 26 and the control signal CS3 from the OR gate 29 are turned to the level '1', and this enables the third-stage flash EEPROM 11-3. When the erasing is repeated 1000 times during the test, the counter 13-3 produces a signal to light

the LED 30-1. This permits a visual confirmation that the flash EEPROMs 11-1 to 11-3 have respectively been subjected to the erasing 1000 times without troubles. When the tested product is delivered from the factory, all the test signal (TS) input terminals are kept grounded.

[0 0 2 3]

After the tested product of the semiconductor device is distributed to a user and is currently in use, the repetitive erasing operation still leaves the value 100000 related terminal 1c of the counter 13-1 at the level '0' till it reaches the 100,000th, and hence, both the outputs from the inverter 16 and 14 keep the level '1', which continues to turn the output signal from the AND gate 21 and the control signal CS1 from the OR gate 27 to the level '1' to eventually enable the flash EEPROM 11-1. In this situation, each time the flash EEPROM undergoes the erasing, the value at the counter 13-1 is incremented by one. Meanwhile, the output signals from the AND gates 23 and 24 and the control signal CS2 from the OR gate 28 also continue to be of the level '0' to eventually disable the flash EEPROM 11-2. Similarly, the output signals from the AND gates 25 and 26 and the control signal CS3 from the OR gate 29 continue to be of the level '0' to eventually disable the flash EEPROM 11-3.

[0 0 2 4]

As the repetitive erasing operation causes the counter 13-1 to increment its value beyond 100000, the corresponding terminal 1c of the counter 13-1 is turned to the level '1' to cause the inverter 16 to produce the output signal of the level '0', which results in the AND gate 21 producing the output of the level '0'. Concurrently, since the AND gate 22 also produces the output of the level '0', the control signal CS1 from the OR gate 27 is turned to the level '0' to eventually disable the flash EEPROM 11-1. Meanwhile, since the AND gate 23 generates the output of the level '1', the control signal CS2 from the OR gate 28 is turned to the level '1' to eventually enable the flash EEPROM 11-2. In this way, the subsequent accesses could be completely to the flash EEPROM 11-2 alone.

Concurrently, both the AND gates 25 and 26 continue to produce the outputs of the level '0', which turns the control signal CS3 from the OR gate 29 to the level '0' to continuously disable the flash EEPROM 11-3.

[0025]

As the flash EEPROM 11-2 is repeatedly accessed and the repetitive erasing operation causes the counter 13-2 to increment its value up to more than 100000, the corresponding terminal 2c of the counter 13-2 is turned to the level '1', which results in the inverter 19 producing the output of the level '0' to cause the AND gate 23 to produce the output of the level '0'. Meanwhile, since the AND gate 24 continues to produce the output of the level '0', the control signal CS2 from the OR gate 28 is turned to the level '0' to eventually disable the flash EEPROM 11-2. Concurrently, the output from the AND gate 25 is turned to the level '1', and this turns the control signal CS3 from the OR gate 29 to the level '1' to eventually enable the flash EEPROM 11-3. Because of this, the subsequent accesses could be to the flash EEPROM 11-3 alone.

[0026]

After the counter 13-3 increment its value 100,000 times, the corresponding terminal 3c of the counter 13-3 transmits a signal to light the LED 30-2 to give a visually confirmable notice that the flash EEPROMs 11-1 to 11-3 have respectively undergone the erasing 100,000 times (300,000 times in total).

[0027]

Even after this, the last-stage flash EEPROM 11-3 is continually accessible till it ends its life due to breakdown. Configured in this way, the accessible flash EEPROM (cell block) is switched among the EEPROMs (cell blocks) 11-1 to 11-3 succeedingly after the 100,000th rewriting on each of them, and yet finally the total number of rewriting times of the rewriting could exceed 300,000. In this way, the multi flash EEPROM built-in embedded array or standard cells is able to ensure its rewriting, or the number of rewriting times by which the built-in EEPROMs can be rewritten, as many as desired by

consumers or even higher than that which is guaranteed by the standardized process, without modifying the design method and/or the manufacturing process.

[0028]

In addition to the aforementioned benefits, variations of the invisible feature of the guaranteed rewriting or the guaranteed number of rewriting times by which the built-in EEPROMs can be rewritten are embodied in various dimensions of the chip which decisively influence the price of the final product, and this makes the price estimation easier. A record of the rewriting is stored in the chip, and therefore, upon malfunctions after the trade contract is made between a customer and a vender, it is much more clarified who is responsible for such malfunctions.

[0029]

Fig. 2 is a flow chart illustrating the operations of the counters 13-1 to 13-3 in the circuit in Fig. 1. The counters 13-1 to 13-3 are respectively comprised of flash EEPROM cells, occupying part of regions in cell arrays of the flash EEPROMs 11-1 to 11-3, and they may exist in regions other than the cell arrays. In this case, in order to enhance the reliability of each of the counters 13-1 to 13-3, each counter is designed to have two counting units each of which is capable of incrementing its value 50,000 times, where the first of the counting units, after the 50,000th counting, is succeeded by the second counting unit so as to count up to 100,000 in total.

[0030]

When the flash EEPROM or the cell block in the flash EEPROM has its contents erased, the value incremented by the first counting unit of the related counter is read and matched with a count reference number of 50000 for 50,000 times of counting (Step 1), and if the value is less than 50000, a subroutine is executed to let the first counting unit continue to count. If it reaches 50000, another subroutine is executed to let the second counting unit to start counting.

[0031]

When the value is less than 50000, the current value at the first counting unit of the involved counter is read and temporarily stored (Step 2), and thereafter, the count number is erased from the first counting unit (Step 3). It is checked if the count number is completely erased from the first counting unit (Step 4), and if the erasing is insufficient, the erasing at Step 3 is resumed. If the erasing is full and sufficient, the temporarily stored value is incremented by one (+1), and the resultant value is overwritten in the first counting unit (Step 5). After that, the count number at the first counting unit is read out to confirm if the count number has been incremented by one (Step 6), and if the incrementing is incomplete, the overwriting at Step 5 is carried out again. If it is confirmed that the overwriting is sufficient, the routine is terminated.

[0032]

If the count number reaches 50000 at Step 1, the second counting unit substitutionally starts counting. After Steps 7 to 11 similar to those with the first counting unit are repeated, the current count number at the second counting unit (Step 12) is checked, and if the most recently incremented value at the second counting unit is still less than 50000 (i.e., if the current value of the counter does not reach 100000 in total), the routine is terminated. If it reaches 50000, the only accessible flash EEPROM is switched from the current EEPROM to another, or otherwise, the terminal 3c is turned to the level '1' to light the LED 30-2 (Step 13). As can be recognized, when the counter 13-1 for the first-stage flash EEPROM 11-1 satisfies the conditions of Step 13, the first-stage EEPROM 11-1 is disabled while the second-stage flash EEPROM 11-2 is enabled. When the counter 13-2 for the second-stage flash EEPROM meets the conditions, the second-stage flash EEPROM 11-2 is disabled while the third-stage flash EEPROM 11-3 is enabled. Moreover, as with the counter 13-3 for the third-stage flash EEPROM 11-3, the LED 30-2 is lit up.

[0033]

As has been described, the counters 13-1 to 13-3 are respectively include the first and second counting units, and a sequence where 50,000 times of the counting by the first counting unit is succeeded by additional 50,000 times of the counting by the second counting unit works well to fully ensure the reliability of more frequently rewritten flash EEPROM cells used for the lower bits.

[0034]

Described so far is an example where more than one 100,000 times rewritable flash EEPROMs are incorporated in combination to guarantee the rewriting of 300,000 times, and the number of the flash EEPROMs may be modified, without doubt, to any that which is sufficient for so many of the flash EEPROMs together to guarantee the desired rewriting attainable by fulfilling individual rewriting quotas so that the total of the individually guaranteed numbers of times of rewriting amounts to the desired guaranteed number of rewriting times.

[0035]

Although, in the aforementioned embodiment, the count number at the counter 13-3 for the last-stage flash EEPROM 11-3 is externally transferred, and the LEDs 30-1 and 30-2 alarm to give an externally visible notice that the test is completed without troubles or that the count number exceeds the guaranteed number of rewriting times of rewriting, other types of the alarming means may be substituted. Also, alternatively, all the counters 13-1 to 13-3 may externally transfer and report their respective count numbers, so that the life time of the semiconductor device can be more precisely predicted to be helpful to support the required maintenance in future such as a device replacement. This is useful to assuredly keep data on the current condition of the device, and thus, the enhanced reliability is attained.

[0036]

[Effects of the Invention]

As mentioned above, in accordance with the present invention, provided is a semiconductor device, such as a multi



flash EEPROM built-in embedded array or standard cells, which is able to ensure its rewriting, or the number of rewriting times by which the built-in EEPROMs can be rewritten, as many as desired by consumers or even higher than that which is guaranteed by the standardized process, without modifying the design method and/or the manufacturing process.

[Brief Description of the Drawings]

[Figure 1] A circuit diagram illustrating an embodiment of a semiconductor device according to the present invention, showing major portions extracted from a flash EEPROM built-in embedded array (or similar standard cells) and its peripheral circuit.

[Figure 2] A flow chart illustrating operations of counters in the circuit in Fig. 1.

[Descriptions of Reference Alphanumerical Symbols]

11-1 ~11-3	Flash EEPROMs
12	Control Circuit
13-1~13-3	Counters
14~20	Inverters
21~26	AND Gates
27~29	OR Gates
30-1 and 30-2	LEDs
31-1 and 31-2	LED Protecting Resistances
TS	Test Signals
CS1~CS3	Control Signals

(57) [Abstract]

[Object of the Invention]

The present invention provides a flash EEPROM built-in embedded array or standard cells which is able to ensure its rewriting exceeding the number higher than that which is guaranteed by the standardized process, as demanded by consumers, without modifying the design method and/or the manufacturing process.

[Solution]

Number of EEPROMs (11-1 to 11-3) as required to attain the desired number of rewriting are built-in a device in some proportional correlation with one another, and their respective input terminals but chip enable signal input terminals connected in parallel with one another. Counters (13-1 to 13-3) respectively dedicated to those flash EEPROMs are provided to count the number of rewriting times by which the EEPROMs have their contents erased, respectively. It is a conspicuous feature that when a value incremented by the counter exceeds the guaranteed number of rewriting times of rewriting, a control circuit (12) selects and enables a currently accessible flash EEPROM continually among them. Since the currently accessible flash EEPROM is switched from one to another, the flash EEPROM built-in semiconductor device, although fabricated through the standardized process, guarantees the rewriting as many times as desired by consumers.

FIGURE 1

11-1 FLASH EEPROM  
11-2 FLASH EEPROM  
11-3 FLASH EEPROM  
13-1 COUNTER  
13-2 COUNTER  
13-3 COUNTER

FIGURE 2

START THE ROUTINE

STEP 1 THE 1ST COUNTING UNIT CONTED 50000

NO

STEP 2 TEMPORARILY STORE THE VALUE READ FROM THE 1ST COUNTING UNIT

STEP 3 ERASE THE VALUE OF THE 1ST COUNTING UNIT

STEP 4 HAS THE VALUE OF THE 1ST COUNTING UNIT ERASED?

STEP 5 OVERWRITE +1 INCREMENTED VALUE IN THE 1ST COUNTING UNIT

STEP 6 VALUE AT THE 1ST COUNTING UNIT INCREMENTED BY ONE?

END THE ROUTINE

YES

STEP 7 TEMPORARILY STORE THE VALUE READ FROM THE 2ND COUNTING UNIT

STEP 8 ERASE THE VALUE OF THE 2ND COUNTING UNIT

STEP 9 HAS THE VALUE OF THE 2ND COUNTING UNIT ERASED?

STEP 10 OVERWRITE +1 INCREMENTED VALUE INT EH SECOND COUNDING UNIT

STEP 11 VALUE AT THE 2ND CONTING UNIT INCREMENTED BY ONE?

STEP 12 HAS 2ND COUNTING UNIT COUNTED 50000?

STEP 13 SWITCH THE CURRENTLY ACCESSIBLE FLASH EEPROM OR LED PUT ON

END THE ROUTINE

FIGURE 1

11-1 FLASH EEPROM  
11-2 FLASH EEPROM  
11-3 FLASH EEPROM  
13-1 COUNTER  
13-2 COUNTER  
13-3 COUNTER

FIGURE 2

START THE ROUTINE

STEP 1 THE 1ST COUNTING UNIT CONTED 50000

NO

STEP 2 TEMPORARILY STORE THE VALUE READ FROM THE 1ST COUNTING UNIT

STEP 3 ERASE THE VALUE OF THE 1ST COUNTING UNIT

STEP 4 HAS THE VALUE OF THE 1ST COUNTING UNIT ERASED?

STEP 5 OVERWRITE +1 INCREMENTED VALUE IN THE 1ST COUNTING UNIT

STEP 6 VALUE AT THE 1ST COUNTING UNIT INCREMENTED BY ONE?

END THE ROUTINE

YES

STEP 7 TEMPORARILY STORE THE VALUE READ FROM THE 2ND COUNTING UNIT

STEP 8 ERASE THE VALUE OF THE 2ND COUNTING UNIT

STEP 9 HAS THE VALUE OF THE 2ND COUNTING UNIT ERASED?

STEP 10 OVERWRITE +1 INCREMENTED VALUE INT EH SECOND COUNDING UNIT

STEP 11 VALUE AT THE 2ND CONTING UNIT INCREMENTED BY ONE?

STEP 12 HAS 2ND COUNTING UNIT COUNTED 50000?

STEP 13 SWITCH THE CURRENTLY ACCESSIBLE FLASH EEPROM OR LED PUT ON

END THE ROUTINE